

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-330433

(43) Date of publication of application : 19.11.2003

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
G09G 5/00
G09G 5/04
G09G 5/36
G09G 5/38
G09G 5/393
G09G 5/395

(21) Application number : 2003-029376

(71)Applicant : HITACHI LTD

(22) Date of filing : 06.02.2003

(72)Inventor : KUROKAWA YASUTO
OTA SHIGERU
TANI KUNIHIKO
SAKAMAKI GORO
YOKOTA YOSHIKAZU

(30)Priority

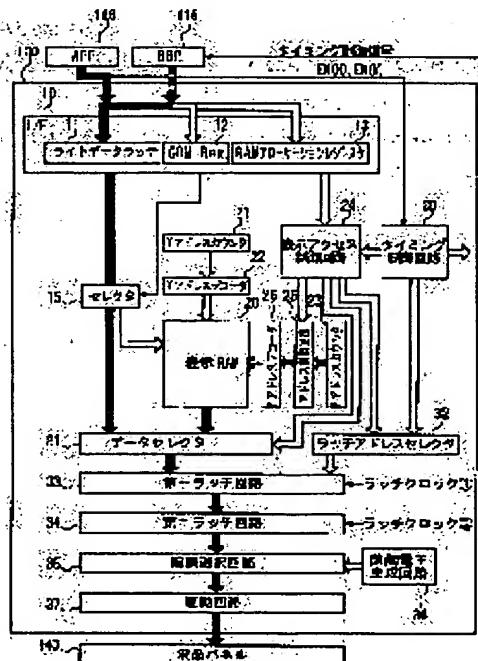
Priority number : 2002060340 Priority date : 06.03.2002 Priority country : JP

(54) DISPLAY DRIVE CONTROL CIRCUIT, AND ELECTRONIC APPARATUS PROVIDED WITH DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display drive control circuit which is just suitable for display drive including display with a small amount of change and display with a large amount of change and can reduce of chip area, power consumption and cost.

SOLUTION: In this display drive control circuit, memory capacity of an internal display memory (20) is set smaller than an amount of data of one display picture of a display panel (140) as a drive object and the display data can be transferred with the system in which external inputted display data is once stored in the display memory (20) and is then sent to a driver circuit (37) to output a drive signal and with the system in which the display data is sent in direct to the drive circuit by way of no display memory to output a drive signal. Moreover, both transfer methods can be executed on the time division basis.



LEGAL STATUS

[Date of request for examination]

22.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The input interface which incorporates the indicative data inputted from the outside, The output driver which generates and outputs the driving signal of the gradation electrical potential difference according to an indicative data, It has the display memory which stores the indicative data for every pixel, and a selection means to send alternatively the indicative data inputted from the outside to an output driver side, without minding the above-mentioned display memory side or the above-mentioned display memory from the above-mentioned input interface. And the display drive control unit characterized by constituting the capacity of the above-mentioned display memory fewer than the amount of indicative data for one screen of the display panel for a drive.

[Claim 2] The display drive control unit according to claim 1 characterized by having a data selection means to choose either of the indicative data sent to the above-mentioned output driver side; without minding the above-mentioned display memory from the latch circuit which latches the indicative data for 1 level Rhine, and is sent to the above-mentioned output driver side, and the indicative data and the above-mentioned input interface from the above-mentioned display memory, and to supply the above-mentioned latch circuit.

[Claim 3] The display drive control unit according to claim 2 characterized by having the display-position control means controlled by setting up the write-in timing of the location which writes the indicative data stored in the above-mentioned display memory in the above-mentioned latch circuit, and this display indicative data possible [modification of the display position based on the indicative data stored in this display memory].

[Claim 4] It is the display drive control unit according to claim 3 which is equipped with the allocation register which sets up the location of the display based on the indicative data stored in the above-mentioned display memory, and is characterized by the above-mentioned display-position control means controlling the above-mentioned display position based on the set point of this allocation register.

[Claim 5] The liquid crystal display drive control unit characterized by having the register which can set up the color information on the above-mentioned indicative data, a latch circuit holding the indicative data inputted from the outside, and the comparator circuit which measures the output of the above-mentioned register, and the output of the above-mentioned latch circuit, changing the above-mentioned indicative data based on the output of the above-mentioned comparator circuit, and controlling a foreground color.

[Claim 6] It is the display drive control unit which is equipped with the display memory which memorizes display-image data, reads sequential display-image data from said display memory, and generates and outputs the driving signal of a display. Said display memory is constituted so that it may have the storage capacity which can store data fewer than the indicative data for one screen of an indicating equipment. In the latter part of said display memory Either of the image data inputted from the image data read from this display memory or the outside is chosen. The data selection means which can be transmitted, It has the gradation electrical-potential-difference generation circuit which consists of two or more buffer amplifier which carries out impedance conversion of the electrical potential difference divided in the resistance partial pressure circuit and this resistance partial pressure circuit, and outputs

it, and generates two or more gradation electrical potential differences required for generation of a display driving signal. The above-mentioned gradation electrical-potential-difference generation circuit is a display drive control unit characterized by the non-active state constituting some possible [transition] inside in two or more above-mentioned buffer amplifier according to the number of bits of the above-mentioned image data.

[Claim 7] It is the display drive control unit according to claim 6 which is equipped with a setting means by which the number of bits of the above-mentioned image data can be set up, and is characterized by the above-mentioned gradation electrical-potential-difference generation circuit carrying out the non-active state of the inside predetermined thing for two or more above-mentioned buffer amplifier according to the set point of the above-mentioned setting means.

[Claim 8] The above-mentioned gradation electrical-potential-difference generation circuit is a display drive control unit according to claim 7 characterized by outputting the greatest thing and the minimum thing at least among two or more gradation electrical potential differences in case the non-active state of the inside predetermined thing is carried out for two or more above-mentioned buffer amplifier according to the set point of the above-mentioned setting means.

[Claim 9] The display drive control unit according to claim 6 characterized by to have the gradation selection circuitry which chooses the electrical potential difference according to the image data chosen by the above-mentioned data selection means from the electrical potential differences generated by the above-mentioned gradation electrical-potential-difference generation circuit, and the bit conversion circuit which change the bit of the above-mentioned image data corresponding to the buffer amplifier made into the non-active state in the above-mentioned gradation electrical-potential-difference generation circuit, and supply to the above-mentioned gradation selection circuitry and to supply to the above-mentioned gradation electrical-potential-difference generation circuit, and supply to the above-mentioned gradation selection circuitry and to supply to the above-mentioned gradation electrical-potential-difference generation circuit.

[Claim 10] A display drive control unit according to claim 1 to 9 and the display driven with this display drive control unit; It has the system control station which performs generation of the indicative data written in said display memory, and a setup about the write-in positional information. Said system control station which bypassed the data on the above-mentioned display memory read from the decision and the above-mentioned display memory of whether the generated indicative data is supplied to the above-mentioned display memory, or to detour display memory are made to output.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention is applied to the display drive control unit which drives a display like a liquid crystal panel, concerning a useful technique, uses for the display drive control unit of display

panels of a small information terminal, such as a portable telephone, and relates to a useful technique especially.

[0002]

[Description of the Prior Art] In recent years, as a display of portable electronic devices, such as a portable telephone and PDA (personal digital reed SUTANTSU), the dot-matrix mold liquid crystal panel with which two-dimensional array of two or more display pixels was generally carried out to the shape of a matrix is used, and the liquid crystal display drive control device (liquid crystal controller driver IC) which contained the driver or driver which drives the semiconductor-integrated-circuitized liquid crystal display control device (liquid crystal controller) which performs the display control of this liquid crystal panel, and a liquid crystal panel is carried in the interior of a device.

[0003] The low thing of power consumption which has a small chip area is called for on the property in which the liquid crystal controller driver IC which carries out the display drive of the liquid crystal panel prepared in this portable electronic device is carried in a personal digital assistant. Once building in the display memory which has a bigger capacity than the amount of indicative datas for one screen of a display panel generally and storing an indicative data in this display memory, the liquid crystal controller driver used for the system which has small liquid crystal panels, such as a portable telephone, conventionally is constituted so that it may read for every 1 level. Rhine, it may change into a gradation electrical potential difference and it may output to a display panel. In addition, as invention about the liquid crystal controller driver which built in display memory, there is invention currently indicated by the patent reference 1, for example.

[0004]

[Patent reference 1] JP,9-281933,A. [0005]

[Problem(s) to be Solved by the Invention] By the way, in a portable telephone, the display size of the display panel, the number of foreground colors, etc. tend to increase increasingly in recent years. Therefore, if a liquid crystal controller driver is made to correspond to a liquid crystal panel with the same structure as the former, since the capacity of the display memory built in will turn into a huge amount, the chip area and power consumption of a liquid crystal controller driver will increase remarkably, and cost will also soar.

[0006] Moreover, conventionally, since the screen size was larger than the liquid crystal panel of a portable telephone, it was difficult for the liquid crystal panel prepared in Personal Digital Assistants, such as PDA (personal digital reed SUTANTSU), to make the mass display memory which can memorize the display-image data for one screen to a liquid crystal controller driver build in. Therefore, the method which image data is stored in the external memory called an external frame buffer, and a microprocessor reads image data from a frame buffer each time, and is transmitted to a liquid crystal controller driver was common.

[0007] The purpose of this invention can drive a display panel with comparatively big display size and color number suitably, and is to offer the display drive control unit which can aim at reduction of chip areas, and reduction of power consumption or cost. Other purposes of this invention are to offer the suitable display drive control unit for the electronic equipment miniaturization which has a display panel with comparatively big size like PDA. It will become clear [about the other purposes and the new description] from description and the appending drawing of this specification along [said] this invention.

[0008]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is explained among invention indicated in this application. Namely, while constituting the capacity of internal representation memory from the amount of data for one screen of the display panel for a drive small. The method which sends to an output driver side and outputs a driving signal once storing the indicative data which the indicative data sent and was inputted from the outside as a direction in display memory. Both methods which send to a direct-output driver side, without minding display memory, and output a driving signal are made possible, and it makes it possible further to perform both method of these by time sharing.

[0009] According to such a means, in the case of image display with little change, display memory is used, for example, and the proper use of the display memory suitable for the contents of a display of transmitting an indicative data, without minding display memory etc. is attained like an animation in the case of image display with much change. Consequently, the chip size of the liquid crystal controller driver IC which it becomes unnecessary to make capacity of display memory large beyond the need, and builds this in can be reduced.

[0010] Moreover, this invention prepares the bit conversion circuit of an indicative data etc. while constituting a gradation electrical-potential-difference generation circuit so that the display drive according to the number of bits can be performed also when the numbers of bits of 1-pixel data differ. Although the color number which can be displayed by this when the number of bits of 1-pixel data becomes fewer decreases, in a full color display, what stores the indicative data for one screen in the internal representation memory which cannot store the indicative data for one screen becomes possible. Moreover, it is made to stop actuation of the unnecessary amplifier for electrical potential differences among the buffer amplifier which constitutes a gradation electrical-potential-difference generation circuit at this time. Thereby, power consumption can be cut down.

[0011]

[Embodiment of the Invention] Hereafter, the suitable example of this invention is explained based on a drawing. Drawing 1 is the block diagram showing the outline configuration of the liquid crystal controller driver which is the example of the display drive control device of this invention. Although especially the liquid crystal controller driver 100 of this example is not restricted, it is formed on one semiconductor chip like single crystal silicon of a well-known semi-conductor manufacturing technology.

[0012] In drawing 1, the input interface which 10 is connected with equipment like the baseband processor 115 or the application processor 116, and transmits and receives a signal, and 20 are the displays RAM which consist of SRAM which stores an indicative data.

[0013] The input interface 10 has the command register 12 with which the code which shows the destination of the light data latch circuit 11, which latches the indicative data inputted from the baseband processor 115 or the application processor 116, various commands, or an indicative data is set up, the allocation register 13 with which the location of the display on the screen based on the indicative data of display RAM 20 is set up.

[0014] The selector as a selection means by which 15 chooses the writing place of an indicative data, X address counter with which 21 generates the horizontal data write-in address of display RAM 20 with which an indicative data is stored, X address decoder which decodes X address with which 22 was generated, Y address counter with which 23 generates the data write-in address of the perpendicular direction of display RAM 20, The display access-control circuit where 24 controls the data readout timing of display RAM 20 based on the set point of the allocation register 13, The address control circuit where 25 shifts or thins out the address value from the Y address counter 23 in response to control of this display access-control circuit, and 26 are Y address decoders which decode this Y address. The display-position control means is constituted by the above-mentioned display access-control circuit 24 and the address control circuit 25.

[0015] Furthermore, the timing control circuit where 30 synchronizes the input timing of the indicative data from the baseband processor 115, the output timing of the indicative data from display RAM 20, etc., The data selector which chooses which data from the indicative data or the input interface 10 with which 31 was read from the display RAM 20 among the indicative data sent directly, Whether 32 latches the data chosen by the data selector 31 to the address of latch circuit 33 throat, and the latch address selector to choose, The 1st latch circuit and the 2nd latch circuit by which, as for 33 and 34, the indicative data for 1 level Rhine of a liquid crystal panel 140 is held, The gradation electrical-potential-difference generation circuit which generates the gradation electrical potential difference as which 36 is chosen according to an indicative data, The gradation selection circuitry which chooses the gradation electrical potential difference corresponding to the indicative data to which 35 was latched,

and 37 are the drive circuits as an output driver which drives the perpendicular electrode (called a source line or the data line in the case of a TFT-liquid-crystal panel) of a liquid crystal panel 140. The data supply means is constituted by the above-mentioned data selector 31 and the latch address selector 32 among these.

[0016] The liquid crystal controller driver 100 of this example While carrying out 1 level Rhine [every] sequential generation and outputting the data-line driving signal of a liquid crystal panel 140 based on the indicative data read from the inputted indicative data or Display RAM 20 from the outside Synchronizing with it, the common driver (in the case of a TFT-liquid-crystal panel, called a gate driver) which is not illustrated is repeating making sequential selection of the common line (gate line) of a liquid crystal panel 140 toward a lower limit from upper limit, and displays an image. The common driver may be formed on the same chip as the liquid crystal controller driver 100, and may be constituted as a separate semiconductor integrated circuit.

[0017] In the liquid crystal controller driver 100 of this example, although the indicative data used since a liquid crystal panel 140 is driven is sent from the baseband processor 115, the actuation read to a latch circuit 33 once storing this indicative data in display RAM 20, and the actuation transmitted to the direct latch circuit 33, without minding display RAM 20 from the input interface 10 are constituted possible.

[0018] Selection of whether an indicative data is written in display RAM 20 or to supply a latch circuit 33 is performed because a selector 15 switches based on the set point of a command register 12. Moreover, the baseband processor 115 can perform a setup of a command register 12. The baseband processor 115 performs the writing of an indicative data like the static image to display RAM 20, and an application processor 116 can perform the transfer to the latch circuit 33 of an indicative data like the static and dynamic image which needs a high-speed data transfer.

[0019] Drawing 2 is drawing explaining the relation between the capacity of the display memory of the liquid crystal controller driver of an example, and the viewing area of a liquid crystal panel. As for the display RAM 20, the data volume is constituted so that it may have one half of the amounts of data read out from the indicative data size (all numbers of pixels x number of bits per pixel), as small for example, capacity of one screen which can memorize data for one screen of a liquid crystal panel 140. Therefore, as shown in drawing 3, let the viewing areas matched with each address of display RAM 20 be some fields (for a fixed viewing area to be called hereafter) 142 of the viewing area of a liquid crystal panel 140.

[0020] However, it was not fixed and the viewing area 142 matched with this display RAM 20 can take various arrangement with the set point of the allocation register 13, the form of the viewing area which can be matched is deformable like drawing 2 (b) to versatility, such as a field of a rectangle long by the rectangle field or its side, and a lengthwise long rectangle. moreover, one collected field, the field divided by plurality can be set as versatility by enabling a setup of two or more addresses to the allocation register 13.

[0021] Such matching is realized by control of the direction of Y address called read-out of the data of Y address of display RAM 20 set by the read-out timing of the indicative data of level Rhine of a liquid crystal panel 140, and control of the direction of X address referred to as whether to store the indicative data read from the display RAM 20 to the location of latch circuit 33 throat in that case based on the set point of the allocation register 13. The former control is performed by the display access-control circuit 24 and the address control circuit 25, and the latter control is performed by the display access-control circuit 24, the latch address selector 32, and the data selector 31.

[0022] It is intermingled and enables it to operate the direct write-in display which does not mind the display (a fixed display is called hereafter) based on an indicative data and Display RAM 20 of the above-mentioned display RAM 20 in this example. The image data transmitted to the surrounding field of the fixed viewing area 142 of drawing 3 by direct writing can be displayed using this function.

[0023] Next, actuation in case the fixed display and the direct write-in display are intermingled is explained, referring to drawing 4 - drawing 6. In addition, the fixed display means the thing of the display

based on the indicative data of display RAM 20 to the last instead of the thing of the display always fixed on these specifications.

[0024] Drawing 4 (a) - (d) is the explanatory view of a display action when the direct write-in display exists in a part of above-mentioned fixed viewing area 142. In addition, when the fixed viewing area 142 which performs the display based on the indicative data of display RAM 20 reduces the number of bits which shows 1 pixel like the after-mentioned, it can be made to expand to the liquid crystal panel 140 whole. In drawing 4, the case where the fixed viewing area 142 is the whole screen of a liquid crystal panel 140 is expressed. It can be constituted what bit 1 pixel consists of so that it can specify in a control register 12, a number-of-bits assignment register or when it already establishes the number-of-bits appointed field in the empty field of a certain register and the baseband processor 115 grade sets up the register beforehand.

[0025] By drawing 4 (a) and (b), the still picture data from the baseband processor 115 are written in the display RAM 20 in a driver, and signs that the data is read from display RAM 20, and is displayed on a liquid-crystal panel 140 are shown. Drawing 4 (c) and (d) show signs that choose either the direct write-in data (dynamic-image data) transmitted from the application processor 116, or the image data already written in the display RAM 20 by the selector 31, and it is displayed on a liquid crystal panel 140.

[0026] In case this display is performed, the enable signal EN (H) which shows a horizontal (the direction of Rhine) display shelf-life, and the enable signal EN (V) which shows a vertical display shelf-life are outputted to the timing control circuit 30 from an application processor 116. While these enable signals show effective level (high-level) and the timing control circuit 30 changes a data selector 31 to a selector 15 side through the display access control circuit 24. The control signal with which the incorporation of data is permitted to a latch circuit 33 is outputted to the latch address selector circuit 32. It is controlled so that only the period when the latch circuit 33 was permitted latches the direct presentation data from an application processor 116, and it is controlled to latch the indicative data read from the display RAM 20 except it.

[0027] On the other hand, the timing of a transfer of an indicative data when the direct write-in display exists in the outside of the fixed viewing area 142 is shown in drawing 5 and drawing 6 like drawing 3 is. Among these, the timing diagram and drawing 6, drawing 5 indicates latch actuation of the indicative data to the latch circuits 33 and 34 at the time of the display of only direct writing to be like the range of (A) of drawing 3 are a timing diagram which shows latch actuation of the indicative data to the latch circuits 33 and 34 when the fixed display and the direct write-in display are intermingled like the range of (B) of drawing 3. In drawing 5 R>5 and drawing 6, the clock signal which synchronized with the dot clock DOTCLK to which latch clock ** is supplied from the outside, and latch clock ** are the clock signals which synchronized with Horizontal Synchronizing signal HSYNC supplied from the outside.

[0028] As shown in drawing 5, the indicative data for 1 level Rhine by which it was incorporated one by one during 1 level period at the 1st latch circuit 33 synchronizing with latch clock ** at the time of the display of only direct writing, and the indicative data for one line of a display panel was stored in the 1st latch circuit 33 is moved to the 2nd latch circuit 34 at once for every 1 level period synchronizing with one latch clock **. And the indicative data latched to the 2nd latch circuit 34 is transmitted to the drive circuit 37, and a segment driving signal is generated and outputted. Latch clock ** and ** are supplied from the timing control circuit 30.

[0029] In addition, in the display of only the direct writing of drawing 5, a change is made at the side as which a data selector 31 chooses the indicative data from the outside, and the indicative data is written in one by one through selectors 15 and 31 at the latch circuit 33 so that a selector 15 may transmit the indicative data from the outside to a selector 31 side based on the set point of a control register 12.

[0030] On the other hand, as shown in drawing 6, in being the period when a direct write-in display and a fixed display are intermingled While an indicative data is first transmitted from the exterior like the case of drawing 5 synchronizing with display timing and being written in the latch circuit 33 When it comes to the fixed display position on 1 level Rhine set as the allocation register 13 The selection pass

of a data selector 31 is switched by control of the display access-control circuit 24, and the indicative data of built-in RAM 20 is latched to the address corresponding to the fixed display position of a latch circuit 33.

[0031] In addition, the writing of the indicative data to built-in RAM 20 can be performed at the period when the direct write-in display is not performed, or even if it is a period when the direct write-in display is performed, it can be performed within the vertical-retrace-line period.

[0032] As mentioned above, since the display drive which made both the fixed display using the indicative data of display RAM 20 and the direct write-in display which does not mind display RAM 20 intermingled is possible according to the liquid crystal controller driver 100 of this example, even if the screen size of indicative data of a liquid crystal panel 140, i.e., the amount for one screen, becomes large, capacity of display RAM 20 can be suitably made small.

[0033] The example of others of matching with the indicative data in the display RAM 20 in the liquid crystal controller driver 100 of an example and the display screen of a liquid crystal panel is shown in drawing 8. It is lowering the number of gradation of 1 pixel not only of the approach referred to as that the approach of matching with display RAM 20 and a screen matches some screens as drawing 2 showed but the liquid crystal panel 140, and it is also possible to match the indicative data of display RAM 20 with all the pixels of a liquid crystal panel. For example, as shown in drawing 7, when the display of 16 (4 bits) gradation is possible for a liquid crystal panel 140 per pixel and it gives this 16 gradation indication at canonical mode. By forming the low gradation mode displayed with 4 (2 bits) gradation per pixel. Also when the capacity of display RAM 20 is the one half of the amount of indicative data for one screen of a canonical mode, the indicative data stored in the display RAM 20 can be matched with all the pixels of a liquid crystal panel 140 by changing to low gradation mode.

[0034] However, in forming such low gradation mode. In case the indicative data read from the display RAM 20 is written in a latch circuit 33. Divide 4-bit lead data into 2 bits of high orders and 2 bits of low order, and 2 bits of low order write these 2 bits in 2 bits of high orders of two adjoining 4-bit latches by which the mask was carried out, respectively. The configuration is switched to the writing of 2-bit data from the writing of 4-bit data is needed.

[0035] Although 1 pixel showed the case of 4 bits as standard, in the liquid crystal controller driver of the said example which can drive the liquid crystal panel which can be gradation displayed based on the indicative data by which 1 pixel is similarly constituted from 18 bits, the relation between the viewing area of a display panel 140 and the indicative data in display RAM 20 is changeable into drawing 7 like drawing 8 - ** by changing the number of bits of the data per pixel of display RAM 20.

[0036] The canonical mode to which, as for drawing 8 **, 1 pixel is expressed with 18 bits, the semi high gradation mode in which, as for drawing 8 **, 1 pixel is expressed with 16 bits, the middle gradation mode in which, as for drawing 8 **, 1 pixel is expressed with 12 bits, the middle gradation mode in which, as for drawing 8 **, 1 pixel is expressed with 8 bits, and drawing 8 ** are in low gradation mode in which 1 pixel is expressed with a triplet. Display RAM 20 can be made to memorize the image data for two screens by choosing the low gradation mode of drawing 8 **, as shown in drawing 8 **. Drawing 8 shows that a corresponding viewing area is expanded as the color number per pixel decreases.

[0037] When performing a full color display to drawing 9, the read-out approach of the data to the latch circuit 130 when the number of bits of the image data per pixel changes to the read-out approach list of the method of the configuration display RAM 20 of having the capacity which can memorize the data of the one half of the indicative data of one screen of a liquid crystal panel, and the data from this display RAM 20 to a latch circuit 130 (it is in display RAM 20 in drawing 1) is shown.

[0038] In drawing 9, the RAM configuration doubled with the perpendicular period means making into 320 in all the number of the memory lines of display RAM 20 which memorize the data which the number of pixels with the vertical number of pixels horizontal at 320 dots displays by 240 dots on 16 bits per pixel, i.e., the liquid crystal panel in which the color display of about 65,000 colors is possible, at the number of pixels of the perpendicular direction of a liquid crystal panel. Moreover, the RAM configuration

doubled with the level period means making into 240 in all the number of the memory trains of the display RAM 20 which memorizes the data similarly displayed on the liquid crystal panel of 320x240 dots of every direction at the horizontal number of pixels of a liquid crystal panel.

[0039] The latch circuit 130 which, on the other hand, holds the data read from the display RAM 20 presupposes that it is 240x16 bits which can hold the image data of all the horizontal pixels of a liquid crystal panel in any case. In this case, what is necessary is the indicative data read from the display RAM 20 storing 120 pixels of odd lines in the single-sided one half of a latch circuit 130 like drawing 9 (A), storing 120 pixels of even lines in the remaining one half of a latch circuit, and making it just make it output it to a data selector 31 with the RAM configuration doubled with the perpendicular period in the place which gathered 240 pixels.

[0040] moreover, the indicative data read from the display RAM 20 with the RAM configuration doubled with the level period -- drawing 9 (B) -- like -- a part for a party (240 pixels) -- every -- what is necessary is storing in a latch circuit 130 and making it just make it output to a data selector 31

[0041] When driving the liquid crystal panel in which the color display of 256 colors (8-bit gradation) is possible by 320x240 dots of every direction using the liquid crystal controller driver which can drive the liquid crystal panel in which the color display of 65,000 colors is possible by the 320x240 dots of above every direction, with the RAM configuration doubled with the perpendicular period, the 240 pixel x8 bit (however, write-in data from the outside 16 bitwises) indicative data for one line of a liquid crystal panel is stored in each line of display RAM 20. Therefore, what is necessary is reading the indicative data of

every one line from display RAM 20 like drawing 9 (C) in this case, and making it just make it output to a data selector 31, after making a latch circuit carry out package maintenance of it, and then output to a data selector 31.

[0042] Moreover, with the RAM configuration doubled with the level period, the 480 pixel x8 bit indicative data for two lines of a liquid crystal panel is stored in each line of display RAM 20. Therefore, what is necessary is storing in the 1st latch circuit the one half (240 pixels) of the indicative data for the party read from the display RAM 20 like drawing 9 (D) in this case, and making it just make it output to a data selector 31, one by one, after transmitting it to the 2nd latch, after that, and reading the data of the remaining one half to the 1st latch circuit, and then outputting the remaining one half to the 2nd latch circuit, and so on.

[0043] Thus, it can make it possible to choose optimal layout which makes chip cost minimum by determining the configuration of display RAM 20, and the bit length of a latch circuit according to the size of a liquid crystal panel, and the number of bits required for a gradation display per pixel.

[0044] Next, the example of a configuration of the gradation electrical-potential-difference generation circuit 36 in the liquid crystal controller driver of the above-mentioned example is explained using drawing 13.

The gradation electrical-potential-difference generation circuit 36 of this example consists of ladder resistance 361 connected between supply voltage terminal Vcc-Vss like drawing 13, and two or more buffer amplifier BFF0-BFF63 which carries out impedance conversion of the electrical potential difference of the arbitration by which resistance division was carried out, and outputs it by this ladder resistance 361, and it is constituted so that a maximum of gradation electrical potential differences [64 steps of] V63-V0 can be generated and outputted. The node to which the input terminal of the buffer amplifier BFF0-BFF63 is connected so that the ladder resistance 361 can take out a gradation electrical potential difference required for resistance ratio to amend a setup or gamma characteristics so that the gradation electrical potential differences V63-V0 which amend the gamma characteristics of the liquid crystal panel to be used can be generated is determined.

[0045] Moreover, while the decoder 362 which decodes the pixel number of bits set as the number-of-bits assignment register in a control register 12 is formed in the gradation electrical-potential-difference generation circuit 36 of this example, electric power switches SW0-SW63 are formed in the buffer amplifier BFF0-BFF63, respectively, and it is constituted so that what is validated by the output of the above-mentioned decoder 362 among the buffer amplifier BFF0-BFF63 according to the assignment pixel number of bits can be changed. That is, activate all amplifier, when the assignment pixel number of bits is 6 bits, for example, when the assignment pixel number of bits becomes 5 bits from 6 bits, 32 of 64

buffer amplifier BFF0-BFF63 of one half are made to turn off, and when the assignment pixel number of bits becomes 4 bits, three fourths of 48 of 64 buffer amplifier BFF0-BFF63 can be made to turn off. Thereby, the power consumption of the gradation electrical-potential-difference generation circuit 36 can be cut down sharply.

[0046] Furthermore, when for example, the pixel number of bits of the above-mentioned gradation electrical-potential-difference generation circuit 36 decreases to 5 bits, the buffer amplifier BFF0-BFF63 is made to validate alternately. While thinning out the electrical potential difference outputted by carrying out as buffer amplifier is made to validate every three, when the pixel number of bits is 4 bits, also when the pixel number of bits becomes fewer, the maximum gradation electrical potential difference V63 and the minimum gradation electrical potential difference V0 are constituted so that it may be made to output. Thus, by making V63 and V0 output, also when white or black any is used for a background color, a possibility that contrast may fall disappears. however -- in this case -- the maximum gradation electrical potential difference V63 and the minimum gradation electrical potential difference V0 -- spacing of infanticide becomes somewhat larger than others mostly in middle.

[0047] On the other hand, the gradation selection circuitry 35 consists of selectors 351,352,353 which choose either of the gradation electrical potential differences V63-V0 from said gradation electrical-potential-difference generation circuit 36 based on 6 bits [a maximum of] image data corresponding to each RGB. Furthermore, in this example, the bit conversion circuit 391,392,393 for making it not make the electrical potential difference generated no longer according to reducing the gradation electrical-potential-difference generated as mentioned above choose is formed by replacing the list of the bit of selector 351 pixel data between the 2nd latch circuit 34 and the gradation selection circuitry 35. Moreover, the bit conversion circuit 391,392,393 for making it not make the electrical potential difference generated as mentioned above choose is formed by replacing the list of the bit of selector 351 pixel data between the 2nd latch circuit 34 and the gradation selection circuitry 35.

[0048] the least significant bit B0 is invalid when these bit conversion circuits 391,392,393 transmit the data of a latch circuit 34 as it is when 1 pixel consists of 6 bits of each RGB, and 1 pixel consists of 5 bits (for example, B5, B4, B3, B2, B1) of each RGB -- most significant bit B5 -- putting in --- B5, B4, B3, B2, B1 --- B5 --- it changes into data: V63, V62, V61, V60, V59, V58, V57, V56, V55, V54, V53, V52, V51, V50, V49, V48, V47, V46, V45, V44, V43, V42, V41, V40, V39, V38, V37, V36, V35, V34, V33, V32, V31, V30, V29, V28, V27, V26, V25, V24, V23, V22, V21, V20, V19, V18, V17, V16, V15, V14, V13, V12, V11, V10, V9, V8, V7, V6, V5, V4, V3, V2, V1, V0. [0049] It can avoid making the output of the buffer amplifier which outputted the maximum electrical potential difference V63 and the minimum electrical potential difference V0 and was turned off by this example choose. In addition, although spacing of infanticide is somewhat larger than others in this example in the middle of V63 and V0 by making the maximum gradation electrical potential difference V63 and the minimum gradation electrical potential difference V0 output, you may make it constitute the bit conversion circuit 39 so that it may leave without thinning out the middle gradation electrical potential difference of V63 and V0 and the electrical potential difference of a parenthesis may be chosen.

[0050]. Moreover, although this example explained the approach to replace a bit when 1 pixel consists of 5 bits of each RGB By the view the same as when 1 pixel consists of 4 bits of each RGB, and a triplet While choosing an electrical potential difference at intervals at the predetermined spacing out of the gradation electrical potential differences V63-V0, the maximum gradation electrical potential difference V63 and the minimum gradation electrical potential difference V0 are good to perform bit exchange of the RGB code so that it may be made to output.

[0051] Moreover, the selector which chooses the electrical potential difference by which resistance division of the ladder resistance 361 was carried out between the ladder resistance 361 and the buffer amplifier BFF0-BFF63 Moreover, by preparing the register for setting up the gamma characteristics of a liquid crystal panel in a control register 12, changing each selector according to the set point of this register, and making the electrical potential difference of desired level output You may constitute so that a gradation electrical potential difference which amends the gamma characteristics according to the liquid crystal panel to be used can be outputted.

[0052] Furthermore, although 64 steps of gradation electrical potential differences V63-V0 are generated in the example in the gradation electrical-potential-difference generation circuit 36 32 steps of gradation electrical potential differences V31-V0 are made to generate instead of generating 64 steps of gradation electrical potential differences. Two electrical potential differences (for example, V21 and

V22) which have set to the gradation selection circuitry 35 using 32 steps of generated gradation electrical potential differences V31-V0, and adjoin in a gap by for example, the thing which you display on V21 the 1st of two frames, and is made to display on the 2nd frame V22 and by turns By impressing middle electrical potential difference $(V21+V22)/2$ to liquid crystal effectually, it is also possible to perform 64 levels of gradation displays substantially.

[0053] Next, the system adapting the liquid crystal controller driver of the above-mentioned example is explained. An example of the circuitry of the cellular-phone system which adopted the liquid crystal controller driver of the above-mentioned example is shown in drawing 10. RF unit for RFs to which the liquid crystal controller driver of the above-mentioned [100] and 110 perform conversion between transmission and reception, the radio signals, and baseband signaling of a radio signal in this drawing. The baseband processor as a system control station which performs signal processing which 115 requires for a sound signal or a transceiver signal, control of the whole system, etc., The multimedia processing facilities and the resolution adjustment functions in which 116 followed the .MPEG method etc., such as animation processing, The application processor which has a Java high-speed processing facility etc., the speech processing unit to which 117 performs ringer tone output and signal processing of a receiver voice, The nonvolatile memory in which, as for 118, a user's setting data, such as address book data, are stored, 119 is SRAM (Static Random Access Memory), which is used as a frame buffer which stores the still picture data for one screen of a liquid crystal panel, or is used as buffer memory of the indicative data at the time of animation playback etc. These circuits are carried in the system board 150 which consists of a printed-circuit board etc.

[0054] The baseband processor 115 consists of MCU (microcontroller unit) 120 which performs DSP (Digital Signal Processor) 121, which identifies the received data addressed to self, takes out voice data or changes transmit data into the format for wireless transmission, the system control based on a user's contents of actuation, data processing, and display control of a transmitted and received data, etc. Another application processor 116 is LSI which may be carried to compensate for the system-wide engine performance, and consists of a codec circuit 123 which performs coding/decode processing of MPEG (Moving Picture Experts Group) data, a processing circuit of Java language etc. Moreover, the system which committed this is also possible 140 is an electrochromatic display panel by which a display driver is carried out, and can make a full screen display perform as a liquid crystal panel 140 by the liquid crystal controller driver 100 using the thing of size with the larger amount of indicative data of one screen than the capacity of the display RAM 20 with a built-in liquid crystal controller driver in the system which used the liquid crystal controller driver of said example as a liquid crystal controller driver 100.

[0055] In addition, the liquid crystal controller driver 100, the RF unit 110 for high frequency, the baseband processor 115, an application processor 116, memory 118, and SRAM 119 of each other are connected possible [data transfer] by system bus S-BUS formed on the board. In the system which used the liquid crystal controller driver of said example When the baseband processor 115 writes image data in the display RAM 20 in the liquid crystal controller driver 100 about the image from which a display seldom changes It is possible to make it display, even if it reads image data from memory 119 like before each time and does not transmit to the liquid crystal controller driver 100, and the burden of the baseband processor 115 can be mitigated by this.

[0056] Moreover, once this cellular-phone system that used the liquid-crystal controller driver of said example decodes the received video data besides the fixed display of a message partner's telephone number, an identifier, etc. to a liquid crystal panel 140 in a decoder circuit 123 and stores it in SRAM 119, it is that the baseband processor 115 sends these decode data to the liquid-crystal controller driver 100 according to display timing, and animation playback is possible for it by the direct write-in display which does not mind the built-in display RAM 20.

[0057] The example of the display image to the liquid crystal panel 140 in the cellular-phone system of drawing 10 is shown in drawing 11. According to the above-mentioned cellular-phone system, as shown in drawing 11 (a), it can be intermingled and the display output of the animation display V1 by the

above-mentioned direct write-in display and the fixed displays V2 and V3 based on the indicative data of display RAM 20 can be carried out. Moreover, with the set point of the allocation register 13 by the baseband processor 115, the location of the fixed displays V2 and V3 can also be changed to a proper location, as shown in drawing 11 (b).

[0058] Thus, the fixed means of displaying based on the indicative data of display RAM 20 While using for little displays of change, such as presenting of a power-source mark, an antenna mark, and time information, the means of displaying of direct writing by using for the displays which change frequently, such as animation playback While being able to exclude the processing which transmits repeatedly the indicative data same about an indicative data with little change to a liquid crystal controller driver About the indicative data which changes frequently, the proper use of mode of processing suitable for the contents of a display is possible for the ability to exclude the detour to display RAM 20, and reduction of power consumption can be aimed at by processing suitable for these contents of a display.

[0059] As mentioned above, although how to choose and display the data of Built-in RAM and the immediate data from the outside has been explained, the approach of a transparency display is shown in drawing 12 R> 2 as an application using this method. The function make display on a panel the color specified as the transparency display function, or it is made not to display is said. As a configuration, it has the register (register 165 for transparency) holding color information, a latch circuit (light data latch 11), holding the data inputted from the outside, and the circuit (comparison circuit 166), that measures the output of the above-mentioned register, and the output of a latch circuit. The class of colors displayed on a panel is controlled by the output of the comparison circuit 166. Color information is divided into the component of red R, green G, and Blue B, and is held as data several bits each.

[0060] Drawing 12 (a) shows the condition in the mode in which the light data latch's 11 data are outputted to the direct data selector 31, not passing through the comparison circuit 166. Drawing 12 R> 2 (b) shows the condition in the mode (penetrated) in which a specific color is not outputted by the comparison with the register 165, with which the light data latch's 11 data held color information via the comparison circuit 166 in the transparency control circuit 167. Drawing 12 (a) and (b) are very similar, so good also as a configuration which changes with the control signal from the outside of a chip, or is exchanged with the value of a color information register's 165, or is exchanged with the value of the register 165 for transparency.

[0061] drawing 12 (a) — setting (setting in the mode in which a transparency display is not performed) — the direct output of the light data latch's 11 output is carried out to a data selector 31, without going through via the comparison circuit 166, and the output timing of the data selector 31 displayed on a panel 140 as the output data of the interior RAM 20 in piles is controlled by the access-control circuit 24. In drawing 12 (b), the foreground color (white) of the arbitration which is not made to output is set as the register 165 for transparency. The output of the register 165 for transparency and the light data latch's 11 output are inputted into the comparison circuit 166.

[0062] The value of the inputted output is compared by the comparison circuit 166, and the result of coincidence and an inequality is outputted to the transparency control circuit 167. The signal which shows what an assignment color (for example, white) is penetrated for by this transparency control circuit 167 (not outputted) is generated, and that result is sent to the access-control circuit 24. The output timing of the data selector 31 displayed on a panel 140 is controlled by this access-control circuit 24, and piles up with the read-out data from the interior RAM 20 by the data selector 31. The color information inputted into the register 165 penetrates on a panel by this, and the blue data of a background are reflected on a panel. In addition, the information on a color [the register / changes into the register 165 for transparency and] to make it penetrating may be set as the register for nontransparent, and the method to which only the color which was in agreement with the light data latch's 11 output is made to output may be used. It becomes that to consider as the configuration which reduces the object to compare is more advantageous.

[0063] It seems that the specific graphic form (drawing circle) which is in a rectangle field by direct write-in data like drawing 12 (b) is clipped, and can be displayed on a panel 140 by the above approach.

[0064] Although invention made by this invention person above was concretely explained based on the example, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the above-mentioned example, and does not deviate from the summary. For example, although the example explained the display (display memory) RAM 20 as what stores an indicative data with little change, such as a mark display and a time display, for example, only the indicative data (color data) of a part which smears away display memory in the same colors, such as a background color, may be stored, and the data of this display memory may perform a background display, and you may constitute so that other parts may be indicated to the display by the direct writing which does not mind display memory.

[0065] moreover, although the selector 15 was illustrated as a means to choose whether an indicative data is sent to display memory from an input interface, or it sends to an output driver side, without minding display memory, as for various the configuration, it is alike and deformable that the function as the above-mentioned selection means is realizable with ON/OFF of the write-in command of display RAM 20, and a switch of a data selector 31, for example etc. Moreover, it is good also as a configuration of a display memory side connected to an output driver side, without establishing two input port of an indicative data in an input interface, not minding one side but minding display memory for another side.

[0066] In the above explanation, although the liquid crystal controller driver of the cellular phone system which is the field of the invention which became that background about invention mainly made by this invention person was explained, this invention is not limited to it and can be widely used for the display drive control unit which drives the display panel of the electronic equipment of a small pocket mold.

[0067] [Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among the invention indicated in this application is explained briefly. Namely, since capacity of display memory can be suitably made small even if the display size and the color number of a display panel increase if this invention is followed, thereby, it is effective in the ability to aim at reduction of a chip size or cost, and also in the reduction of power consumption. Especially this effectiveness is useful when adopting it as the electronic equipment of a small pocket mold.

[0068] Moreover, since it is possible to use properly two kinds of methods, the transmittal mode of the indicative data through display memory and the transmittal mode which does not mind display memory, it is effective according to the contents of a display when performing the display in which both little display of change and the display which changes frequently like an animation were intermingled, it is effective in the ability to exclude useless transfer processing by that cause, and aim at reduction of power consumption. Moreover, it is effective in becoming possible to realize a transparency display along with the above-mentioned effectiveness.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the outline configuration of the liquid crystal controller driver of the example of this invention.

[Drawing 2] It is drawing explaining the capacity of the display memory of the liquid crystal controller driver of an example, and the relation of the viewing area of a liquid crystal panel.

[Drawing 3] It is drawing showing the example of a display with which the fixed display based on the data of display memory and the direct write-in display which does not mind display memory were mixed.

[Drawing 4] It is drawing showing a display action when the fixed display based on the data of display memory and the direct write-in display which does not mind display memory are mixed.

[Drawing 5] It is a timing diagram explaining the transfer operation of the indicative data in the level period (A) of drawing 3.

[Drawing 6] It is a timing diagram explaining the transfer operation of the indicative data in the level period (B) of drawing 3.

[Drawing 7] It is drawing explaining the example of use of others of display memory.

[Drawing 8] It is drawing showing the concrete example of use of the display memory at the time of changing the number of gradation of 1 pixel.

[Drawing 9] It is drawing explaining each example at the time of changing the array configuration of display memory, and the number of gradation of a pixel about the transmittal mode of the indicative data from display memory to the 1st latch circuits.

[Drawing 10] It is the block diagram showing the example of the cellular phone structure of a system which adopted the liquid crystal controller driver of an example with the center two stages of the configuration of drawing 1.

[Drawing 11] It is the image Fig. showing the example of a display in the cellular phone system of drawing 10 and drawing 10 is related with the configuration of the liquid crystal controller driver of an example of drawing 1.

[Drawing 12] It is drawing explaining the main configuration and its example of operation of the liquid crystal controller driver which enables transparency control.

[Drawing 13] It is the block diagram showing the example of a configuration of a gradation electrical-potential-difference generation circuit.

[Description of Notations]

- 10 Input Interface
- 11 Main Control Unit
- 12 Main Control Unit Internal Memory
- 13 Allocation Register
- 14 Address Counter
- 15 Selector
- 20 Display RAM (Display Memory)
- 23 Y Address Counter
- 24 Display Access-Control Circuit
- 25 Address Control Circuit
- 26 Y Address Decoder
- 30 Timing Control Circuit
- 31 Data Selector
- 32 Latch Address Selector
- 33 1st Latch Circuit
- 34 2nd Latch Circuit
- 35 Gradation Voltage Selection Circuit
- 36 Gradation Electrical-Potential-Difference Generation Circuit
- 37 Drive Circuit
- 110 RF Unit for RFs
- 115 BBP (Baseband Processor)

116 APP (Application Processor)

117 Speech Processing Unit

120 MCU (Microcontroller Unit)

140 Liquid Crystal Panel

BFF0-BFF63 Buffer amplifier

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2003-330433
(P2003-330433A)

(43)公開日 平成15年11月19日(2003.11.19)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト ⁸ (参考)
G 0 9 G	3/36	G 0 9 G	3/36
G 0 2 F	1/133	G 0 2 F	1/133
G 0 9 G	3/20	G 0 9 G	3/20
	6 1 1		6 1 1 A
	6 1 2		6 1 2 F
			6 1 2 P

審査請求 未請求 請求項の数10 O.L. (全 14 頁) 最終頁に続く

(21) 出願番号	特願2003-29376(P2003-29376)
(22) 出願日	平成15年2月6日(2003.2.6)
(31) 優先権主張番号	特願2002-60340(P2002-60340)
(32) 優先日	平成14年3月6日(2002.3.6)
(33) 優先権主張国	日本(JP)

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 黒川 康人
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72)発明者 太田 茂
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(74)代理人 100085811
弁理士 大日方 富雄

最終頁に統く

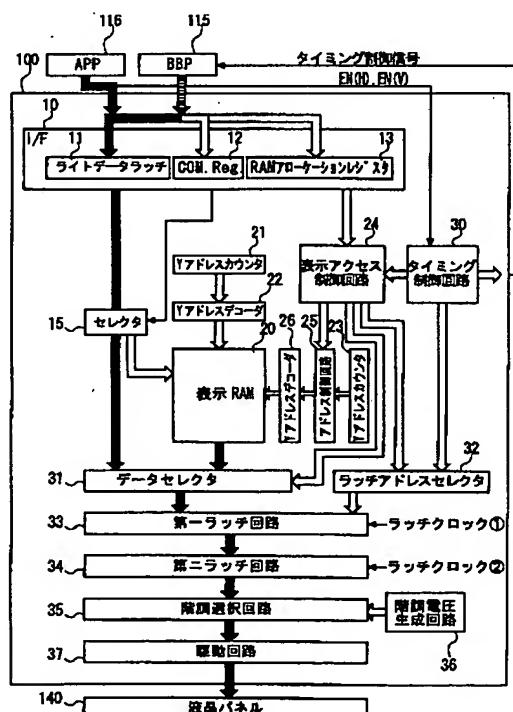
(54) 【発明の名称】 表示駆動制御装置および表示装置を備えた電子機器

(57) 【要約】

【課題】 変化の少ない表示と変化の多い表示とが混在する表示駆動に最適で、且つ、チップ面積の削減、消費電力やコストの低減が図れる表示駆動制御装置を提供する。

【解決手段】 内部表示メモリ（20）の記憶容量を駆動対象の表示パネル（140）の1画面分のデータ量よりも小さく構成するとともに、表示データの送り方として、外部から入力された表示データを一日表示メモリ

(20) に蓄えた後に駆動回路 (37) へ送って駆動信号を出力する方式と、表示メモリ (20) を介さずに直接駆動回路へ送って駆動信号を出力する方式との両方を可能とし、さらに、これら両方の方式を時分割で実行することを可能とする。



(2)

【特許請求の範囲】

【請求項 1】 外部から入力される表示データを取り込む入力インターフェースと、表示データに応じた階調電圧の駆動信号を生成し出力する出力ドライバと、画素ごとの表示データを格納する表示メモリと、外部から入力される表示データを上記入力インターフェースから上記表示メモリ側或いは上記表示メモリを介さずに出力ドライバ側へ選択的に送る選択手段とを備え、且つ、上記表示メモリの容量が、駆動対象の表示パネルの 1 画面分の表示データ量よりも少なく構成されていることを特徴とする表示駆動制御装置。

【請求項 2】 1 水平ライン分の表示データをラッチして上記出力ドライバ側へ送るラッチ回路と、上記表示メモリからの表示データと上記入力インターフェースから上記表示メモリを介さずに上記出力ドライバ側へ送られる表示データのいずれかを選択して上記ラッチ回路へ供給するデータ選択手段とを備えていることを特徴とする請求項 1 記載の表示駆動制御装置。

【請求項 3】 上記表示メモリに格納された表示データを上記ラッチ回路へ書き込む位置ならびに該表示データの書き込みタイミングを設定することで該表示メモリに格納された表示データに基づく表示位置を変更可能に制御する表示位置制御手段とを備えたことを特徴とする請求項 2 記載の表示駆動制御装置。

【請求項 4】 上記表示メモリに格納された表示データに基づく表示の位置を設定するアロケーションレジスタを備え、上記表示位置制御手段はこのアロケーションレジスタの設定値に基づき上記表示位置の制御を行うことを特徴とする請求項 3 記載の表示駆動制御装置。

【請求項 5】 上記表示データの色情報を設定可能なレジスタと、外部から入力される表示データを保持するラッチ回路と、上記レジスタの出力と上記ラッチ回路の出力を比較する比較回路とを有し、上記比較回路の出力に基づいて上記表示データの変換を行って表示色を制御することを特徴とする液晶表示駆動制御装置。

【請求項 6】 表示画像データを記憶する表示メモリを備え、前記表示メモリから順次表示画像データを読み出して表示装置の駆動信号を生成し出力する表示駆動制御装置であつて、

前記表示メモリは表示装置の一画面分の表示データよりも少ないデータを格納可能な記憶容量を有するように構成され、

前記表示メモリの後段には、該表示メモリから読み出された画像データまたは外部から入力された画像データのいずれかを選択して伝達可能なデータ選択手段と、抵抗分圧回路と該抵抗分圧回路で分割された電圧をインピーダンス変換して出力する複数のバッファアンプとか

らなり表示駆動信号の生成に必要な複数の階調電圧を生成する階調電圧生成回路とを備え、

上記階調電圧生成回路は上記画像データのビット数に応じて上記複数のバッファアンプをうちいくつかを非活性状態に遷移可能に構成されていることを特徴とする表示駆動制御装置。

【請求項 7】 上記画像データのビット数を設定可能な設定手段を備え、上記階調電圧生成回路は上記設定手段の設定値に応じて上記複数のバッファアンプをうち所定のものを非活性状態させることを特徴とする請求項 6 記載の表示駆動制御装置。

【請求項 8】 上記階調電圧生成回路は上記設定手段の設定値に応じて上記複数のバッファアンプをうち所定のものを非活性状態させる際に、複数の階調電圧のうち少なくとも最大のものと最小のものを出力することを特徴とする請求項 7 記載の表示駆動制御装置。

【請求項 9】 上記階調電圧生成回路により生成された電圧の中から上記データ選択手段により選択された画像データに応じた電圧を選択する階調選択回路と、

上記階調電圧生成回路の中の非活性状態にされるバッファアンプに対応して上記画像データのビットを変換して上記階調選択回路へ供給するビット変換回路とを備えることを特徴とする請求項 6 記載の表示駆動制御装置。

【請求項 10】 請求項 1 ~ 9 のいずれかに記載の表示駆動制御装置と、該表示駆動制御装置によって駆動される表示装置と、前記表示メモリに書き込まれる表示データの生成およびその書き込み位置情報に関する設定を行うシステム制御装置と、を備え、

前記システム制御装置は、生成した表示データを上記表示メモリへ供給するか表示メモリを迂回させるかの決定および上記表示メモリより読み出されたデータまたは上記表示メモリを迂回したデータのいずれを出力させるかの決定を行うことを特徴とする表示装置を備えた電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶パネルのような表示装置を駆動する表示駆動制御装置に適用して有用な技術に関し、例えば携帯電話機など小型の情報端末の表示パネルの表示駆動制御装置に利用して特に有用な技術に関する。

【0002】

【従来の技術】近年、携帯電話機や PDA (パーソナル・デジタル・アシスタント) などの携帯用電子機器の表示装置としては、一般に複数の表示画素がマトリックス状に 2 次元配列されたドットマトリックス型液晶パネルが用いられており、機器内部にはこの液晶パネルの表示制御を行なう半導体集積回路化された液晶表示制御装置 (液晶コントローラ) や液晶パネルを駆動するドライバもしくはドライバを内蔵した液晶表示駆動制御装置 (液

(3)

3

晶コントローラドライバIC)が搭載されている。

【0003】かかる携帯用電子機器に設けられている液晶パネルを表示駆動する液晶コントローラドライバICは、携帯端末に搭載されるという性質上、チップ面積が小さく消費電力の低いものが求められる。従来、携帯電話機などの小型の液晶パネルを有するシステムに用いられる液晶コントローラドライバは、一般に、表示パネルの1画面分の表示データ量より大きな容量を有する表示メモリを内蔵し、表示データを一旦この表示メモリに蓄えた後、1水平ライン毎に読み出して階調電圧に変換し表示パネルへ出力するように構成されている。なお、表示メモリを内蔵した液晶コントローラドライバに関する発明としては、例えば特許文献1に開示されている発明がある。

【0004】

【特許文献1】特開平9-281933号公報

【0005】

【発明が解決しようとする課題】ところで、近年、携帯電話機においては、その表示パネルの表示サイズや表示色の数などはますます増加する傾向にある。従って、液晶コントローラドライバをこれまでと同様の構造で液晶パネルに対応させると、内蔵される表示メモリの容量は膨大な量となるため、液晶コントローラドライバのチップ面積や消費電力は著しく増加し、またコストも高騰してしまう。

【0006】また、従来、PDA(パーソナル・デジタル・アシスタンツ)などの携帯情報端末に設けられている液晶パネルは携帯電話機の液晶パネルよりも画面サイズが大きいので、液晶コントローラドライバに1画面分の表示画像データを記憶することができるようの大容量の表示メモリを内蔵することは困難であった。そのため、外付けのフレームバッファと呼ばれる外付けのメモリに画像データを格納しておいて、マイクロプロセッサがその都度フレームバッファから画像データを読み出して液晶コントローラドライバへ転送する方式が一般的であった。

【0007】この発明の目的は、表示サイズや色数が比較的大きな表示パネルの駆動を適宜に行うことが可能であり、且つ、チップ面積の削減、消費電力やコストの低減が図れる表示駆動制御装置を提供することにある。この発明の他の目的は、PDAのような比較的大きな表示パネルを有する電子機器小型化に好適な表示駆動制御装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。すなわち、内部表示メモリの容量を駆動対象の表示パネルの1画面分のデータ量よりも小さく構成

(4)

4

するとともに、表示データの送り方として、外部から入力された表示データを一旦表示メモリに蓄えた後に出力ドライバ側に送って駆動信号を出力する方式と、表示メモリを介さずに直接出力ドライバ側に送って駆動信号を出力する方式との両方を可能とし、さらに、これら両方の方式を時分割で実行することを可能としたものである。

【0009】このような手段によれば、例えば、変化の少ない画像表示の際には表示メモリを使用し、動画のように変化の多い画像表示の際には表示メモリを介さずに表示データを転送するなど、表示内容に適した表示メモリの使い分けが可能となる。その結果、表示メモリの容量を必要以上に大きくする必要がなくなり、これを内蔵する液晶コントローラドライバICのチップサイズを低減することができる。

【0010】また、本発明は、1画素のデータのビット数が異なる場合にもビット数に応じた表示駆動を行なえるように階調電圧生成回路を構成するとともに、表示データのビット変換回路等を設けたものである。これにより、1画素のデータのビット数が減ることにより表示可能な色数は減少するものの、フルカラー表示では1画面分の表示データを格納できない内部表示メモリに1画面分の表示データを格納するようになることが可能になる。また、このとき階調電圧生成回路を構成するバッファアンプのうち不要な電圧用のアンプの動作を停止させるようになる。これにより、消費電力を減らすことができる。

【0011】

【発明の実施の形態】以下、本発明の好適な実施例を図面に基づいて説明する。図1は、本発明の表示駆動制御装置の実施例である液晶コントローラドライバの概略構成を示すブロック図である。この実施例の液晶コントローラドライバ100は、特に制限されるものでないが、公知の半導体製造技術によって単結晶シリコンのよう一つの半導体チップ上に形成される。

【0012】図1において、10はチップ外部のベースバンドプロセッサ115やアプリケーションプロセッサ116のような装置と接続され信号の送受信を行う入力インターフェース、20は表示データを格納するSRAMなどからなる表示RAMである。

【0013】入力インターフェース10は、ベースバンドプロセッサ115やアプリケーションプロセッサ116から入力された表示データをラッチするライトデータラッチ回路11や、各種コマンドや表示データの送り先を示すコードなどが設定されるコマンドレジスタ12、表示RAM20の表示データに基づく画面上での表示の位置が設定されるアロケーションレジスタ13などを有する。

【0014】15は表示データの書き込み先を選択する選択手段としてのセレクタ、21は表示データが格納される表示RAM20の水平方向のデータ書き込みアドレス

(4)

5

を生成するXアドレスカウンタ、22は生成されたXアドレスをデコードするXアドレスデコーダ、23は表示RAM20の垂直方向のデータ書きこみアドレスを生成するYアドレスカウンタ、24はアロケーションレジスタ13の設定値に基づき表示RAM20のデータ読出しタイミングを制御する表示アクセス制御回路、25はこの表示アクセス制御回路の制御を受けてYアドレスカウンタ23からのアドレス値をシフトしたり間引いたりするアドレス制御回路、26はこのYアドレスをデコードするYアドレスデコーダである。上記表示アクセス制御回路24とアドレス制御回路25とにより表示位置制御手段が構成されている。

【0015】さらに、30はベースバンドプロセッサ115からの表示データの入力タイミングや表示RAM20からの表示データの出力タイミングなどを同期させるタイミング制御回路、31は表示RAM20から読み出された表示データまたは入力インターフェース10から直接送られた表示データのうち何れかのデータを選択するデータセレクタ、32はデータセレクタ31により選択されたデータをラッチ回路33のどのアドレスへラッチするか選択するラッチアドレスセレクタ、33および34は液晶パネル140の1水平ライン分の表示データが保持される第1ラッチ回路および第2ラッチ回路、36は表示データに応じて選択される階調電圧を生成する階調電圧生成回路、35はラッチされた表示データに対応した階調電圧を選択する階調選択回路、37は液晶パネル140の垂直電極(TFT液晶パネルの場合はソース線もしくはデータ線と呼ばれる)を駆動する出力ドライバとしての駆動回路である。これらのうち、上記データセレクタ31とラッチアドレスセレクタ32とによりデータ供給手段が構成されている。

【0016】本実施例の液晶コントローラドライバ100は、外部から入力された表示データまたは表示RAM20から読み出された表示データに基づいて液晶パネル140のデータ線駆動信号を1水平ライン分ずつ順次生成し出力するとともに、それに同期して、図示しないコマンドライバ(TFT液晶パネルの場合はゲートドライバとも呼ばれる)が液晶パネル140のコモン線(ゲート線)を、例えば上端から下端に向かって順次選択していくことを繰り返すことで、画像の表示を行う。コマンドライバは、液晶コントローラドライバ100と同一のチップ上に形成されていてもよいし、別個の半導体集積回路として構成されていてもよい。

【0017】この実施例の液晶コントローラドライバ100においては、液晶パネル140を駆動するために用いられる表示データはベースバンドプロセッサ115から送られてくるが、この表示データを一旦表示RAM20に蓄えた後にラッチ回路33に読み出す動作と、入力インターフェース10から表示RAM20を介さずに直接ラッチ回路33に転送する動作とが可能に構成されて

10

いる。

【0018】表示データを表示RAM20に書き込むか、それともラッチ回路33に供給するかの選択は、コマンドレジスタ12の設定値に基づきセレクタ15が切り換わることで行われる。また、コマンドレジスタ12の設定はベースバンドプロセッサ115により行うことができる。表示RAM20への静止画像のような表示データの書き込みはベースバンドプロセッサ115により行い、高速データ転送を必要とする動画像のような表示データのラッチ回路33への転送はアプリケーションプロセッサ116により行うようにすることができる。

【0019】図2は、実施例の液晶コントローラドライバの表示メモリの容量と液晶パネルの表示領域との関係を説明する図である。表示RAM20は、そのデータ容量が液晶パネル140の1画面分の表示データ量すなわち(全画素数×1画素当りのビット数)よりも少なく、例えば1画面の1/2のデータを記憶可能な容量を有するように構成されている。そのため、表示RAM20の各アドレスに対応づけられた表示領域は、図3に示すように、液晶パネル140の表示領域の一部の領域(以下、固定表示領域と称する)142とされる。

【0020】ただし、この表示RAM20に対応づけられる表示領域142は固定されたものではなく、アロケーションレジスタ13の設定値により様々な配置を取ることが出来る。対応づけることのできる表示領域の形は、図2(b)のように、矩形領域や横に長い長方形、縦に長い長方形の領域など種々に変形可能である。また、アロケーションレジスタ13に複数のアドレスを設定可能により1つのまとまった領域や複数に分断された領域など、種々に設定可能である。

【0021】このような対応付けは、アロケーションレジスタ13の設定値に基づき、液晶パネル140の水平ラインの表示データの読出しタイミングに合わせた表示RAM20のYアドレスのデータの読み出しと云ったYアドレス方向の制御と、その際に、ラッチ回路33のどの位置に表示RAM20から読み出された表示データを格納するかと云ったXアドレス方向の制御とにより実現される。前者の制御は表示アクセス制御回路24とアドレス制御回路25とにより行われ、後者の制御は表示アクセス制御回路24とラッチアドレスセレクタ32およびデータセレクタ31により行われる。

【0022】本実施例では、上記表示RAM20の表示データに基づく表示(以下、固定表示と称する)と表示RAM20を介さない直接書き込み表示とを混在して動作させることができるようにされている。この機能を利用して、図3の固定表示領域142の周りの領域に直接書き込みにより転送した画像データを表示させることができる。

【0023】次に、固定表示と直接書き込み表示が混在している場合の動作について、図4～図6を参照しながら

50

6

(5)

7

説明する。なお、本明細書で固定表示とは、常に固定されている表示のことではなく、あくまでも表示RAM20の表示データに基づく表示のことを意味している。

【0024】図4(a)～(d)は、上記固定表示領域142の一部に直接書き込み表示が存在している場合の表示動作の説明図である。なお、表示RAM20の表示データに基づく表示を行なう固定表示領域142は、後述のように1画素を示すビット数を減らした場合には液晶パネル140全体に拡大させることができる。図4においては、固定表示領域142が液晶パネル140の画面全体である場合を表している。1画素が何ビットで構成されているかは、コントロールレジスタ12内にビット数指定レジスタもしくは既にあるレジスタの空きフィールドにビット数指定フィールドを設けて、ベースバンドプロセッサ115等が予めそのレジスタを設定しておくことにより指定できるように構成することができる。

【0025】図4(a), (b)ではベースバンドプロセッサ115からの静止画データがドライバ内の表示RAM20に書き込まれ、そのデータが表示RAM20から読み出されて液晶パネル140に表示される様子を示している。図4(c), (d)では、アプリケーションプロセッサ116から転送された直接書き込みデータ(動画像データ)または既に表示RAM20に書き込まれている画像データのいずれかを、セレクタ31で選択して液晶パネル140に表示する様子を示している。

【0026】かかる表示を行なう際には、アプリケーションプロセッサ116からタイミング制御回路30へ水平方向(ライン方向)の表示有効期間を示すイネーブル信号EN(H)と垂直方向の表示有効期間を示すイネーブル信号EN(V)とが outputされ、タイミング制御回路30がこれらのイネーブル信号が有効レベル(ハイレベル)を示している間だけ表示アクセス制御回路24を介してデータセレクタ31をセレクタ15側へ切り替えるとともに、ラッチ回路33に対してデータの取り込みを許可する制御信号をラッチアドレスセレクタ回路32へ出力して、ラッチ回路33が許可された期間だけアプリケーションプロセッサ116からの直接表示データをラッチするように制御され、それ以外は表示RAM20から読み出された表示データをラッチするように制御される。

【0027】一方、図5および図6には、図3のように、固定表示領域142の外側に直接書き込み表示が存在している場合の表示データの転送のタイミングが示されている。このうち、図5は図3の(A)の範囲のように直接書き込みのみの表示のときのラッチ回路33, 34への表示データのラッチ動作を示すタイムチャート、図6は図3の(B)の範囲のように固定表示と直接書き込み表示とが混在しているときのラッチ回路33, 34への表示データのラッチ動作を示すタイムチャートである。図5, 図6において、ラッチクロック①は外部から供給さ

8

れるドットクロックDOTCLKに同期したクロック信号、ラッチクロック②は外部から供給される水平同期信号HSYNCに同期したクロック信号である。

【0028】図5に示すように、直接書き込みのみの表示のときは、1水平期間中に表示パネルの1ライン分の表示データがラッチクロック①に同期して順次第1ラッチ回路33に取り込まれ、第1ラッチ回路33に格納された1水平ライン分の表示データは1水平期間毎に1個のラッチクロック②に同期して第2ラッチ回路34に一度に移される。そして、第2ラッチ回路34にラッチされた表示データが駆動回路37へ転送されてセグメント駆動信号が生成されて出力される。ラッチクロック①, ②はタイミング制御回路30から供給される。

【0029】なお、図5の直接書き込みのみ表示の場合には、コントロールレジスタ12の設定値に基づいてセレクタ15が外部からの表示データをセレクタ31側へ伝達するように、またデータセレクタ31が外部からの表示データを選択する側に切り替えがなされ、表示データはセレクタ15および31を介して順次ラッチ回路33に書き込まれていく。

【0030】一方、図6に示すように直接書き込み表示と固定表示とが混在する期間の場合には、先ず図5の場合と同様に表示タイミングに同期して外部から表示データが転送されてラッチ回路33に書き込まれていくとともに、アロケーションレジスタ13に設定された1水平ライン上の固定表示位置に来たときに、表示アクセス制御回路24の制御によりデータセレクタ31の選択バスが切り換えられて、内蔵RAM20の表示データがラッチ回路33の固定表示位置に対応するアドレスにラッチされるようになっている。

【0031】なお、内蔵RAM20への表示データの書き込みは、直接書き込み表示が行われていない期間に行ったり、直接書き込み表示が行われている期間であってもその垂直帰線期間内に行なうことができる。

【0032】以上のように、この実施例の液晶コントローラドライバ100によれば、表示RAM20の表示データを用いた固定表示と、表示RAM20を介さない直接書き込み表示との両方を混在させた表示駆動が可能であるため、液晶パネル140の画面サイズすなわち1画面分の表示データ量が大きくなても、表示RAM20の容量は適宜小さくすることが出来る。

【0033】図8には、実施例の液晶コントローラドライバ100における表示RAM20内の表示データと液晶パネルの表示画面との対応付けのその他の例を示す。表示RAM20と画面との対応付けの方法は、図2で示したように画面の一部を対応づけると云つた方法だけではなく、液晶パネル140の1画素の階調数を下げることで、表示RAM20の表示データを液晶パネルの全画素に対応づけることも可能である。例えば、図7に示すように、液晶パネル140が1画素当たり16(4ビット)

(6)

9

ト) 階調の表示が可能であり、この16階調表示を標準モードとしたときに、1画素当たり4(2ビット)階調で表示する低階調モードを設けることで、表示RAM20の容量が標準モードの1画面分の表示データ量の半分である場合にも、低階調モードに切り替えることにより表示RAM20に格納されている表示データを液晶パネル140の全画素に対応づけることが出来る。

【0034】但し、このような低階調モードを設ける場合には、表示RAM20から読み出した表示データをラッチ回路33へ書き込む際に、4ビットのリードデータを上位2ビットと下位2ビットに分け、これらの2ビットを例え各々下位2ビットがマスクされた隣接する2つの4ビットラッチの上位2ビットにそれぞれ書き込むようにして、4ビットデータの書き込みから2ビットデータの書き込みに切り換える構成が必要となる。

【0035】図7には、1画素が標準で4ビットの場合を示したが、同様にして1画素が18ビットで構成されている表示データに基づく階調表示が可能な液晶パネルを駆動可能な前記実施例の液晶コントローラドライバにおいては、表示RAM20の1画素当たりのデータのビット数を変える事によって、例えば図8の①～⑤のように表示パネル140の表示領域と表示RAM20内の表示データとの関係を変えることができる。

【0036】図8①は1画素が18ビットで表される標準モード、図8②は1画素が16ビットで表される準高階調モード、図8③は1画素が12ビットで表される中間階調モード、図8④は1画素が8ビットで表される中間階調モード、図8⑤は1画素が3ビットで表される低階調モードである。図8⑤の低階調モードを選択することにより、図8⑥に示すように、表示RAM20に2画面分の画像データを記憶させることができる。図8より、1画素あたりの色数が少なくなるにしたがって、対応する表示領域が拡大することができる。

【0037】図9に、フルカラー表示を行う場合に液晶パネルの1画面の表示データの半分のデータを記憶可能な容量を有する表示RAM20の構成の仕方と該表示RAM20からラッチ回路130(図1では表示RAM20内にある)へのデータの読み出し方法並びに1画素当たりの画像データのビット数が切り替わった場合のラッチ回路130へのデータの読み出し方法を示す。

【0038】図9において、垂直期間に合わせたRAM構成とは、例えば垂直方向の画素数が320ドットで水平方向の画素数が240ドットで1画素あたり16ビットすなわち約6万5千色のカラー表示が可能な液晶パネルに表示するデータを記憶する表示RAM20のメモリ行の数を液晶パネルの垂直方向の画素数に合わせて320本とすることを意味する。また、水平期間に合わせたRAM構成とは、同様に縦横320×240ドットの液晶パネルに表示するデータを記憶する表示RAM20のメモリ列の数を液晶パネルの水平方向の画素数に合わせ

10

て240本とすることを意味する。

【0039】一方、表示RAM20から読み出されたデータを保持するラッチ回路130は、いずれの場合にも液晶パネルの水平方向の全画素の画像データを保持可能な240×16ビットであるとする。この場合、垂直期間に合わせたRAM構成では表示RAM20から読み出された表示データは、図9(A)のように奇数行の120画素分をラッチ回路130の片側半分に格納し、偶数行の120画素分をラッチ回路の残りの半分に格納し、240画素揃ったところでデータセレクタ31へ出力させるようにすればよい。

【0040】また、水平期間に合わせたRAM構成では表示RAM20から読み出された表示データは、図9(B)のように一行分(240画素)ごとにラッチ回路130に格納し、データセレクタ31へ出力させるようすればよい。

【0041】上記のような縦横320×240ドットで6万5千色のカラー表示が可能な液晶パネルを駆動可能な液晶コントローラドライバを用いて縦横320×240ドットで256色(8ビット階調)のカラー表示が可能な液晶パネルを駆動する場合、垂直期間に合わせたRAM構成では、表示RAM20の各行に液晶パネルの1ライン分の240画素×8ビット(ただし外部からの書き込みデータは16ビット単位)の表示データが格納される。従って、この場合には、図9(C)のように表示RAM20から1行分ずつ表示データを読み出し、それをラッチ回路に一括保持させてからデータセレクタ31へ出力させるようすればよい。

【0042】また、水平期間に合わせたRAM構成では、表示RAM20の各行に液晶パネルの2ライン分の480画素×8ビットの表示データが格納される。従って、この場合には、図9(D)のように表示RAM20から読み出された一行分の表示データの半分(240画素)を第1ラッチ回路に格納し、その後それを第2ラッチへ転送して残りの半分のデータを第1ラッチ回路に読み出してから順次データセレクタ31へ出力させるようすればよい。

【0043】このように、液晶パネルのサイズと階調表示に必要な1画素当たりのビット数に応じて表示RAM20の構成とラッチ回路のビット長とを決定することにより、チップコストを最小にするような最適なレイアウトを選択できるようになることができる。

【0044】次に、上記実施例の液晶コントローラドライバにおける階調電圧生成回路36の構成例について、図13を用いて説明する。この実施例の階調電圧生成回路36は、例えば図13のように電源電圧端子Vcc～Vss間に接続されたラダー抵抗361と、該ラダー抵抗361で抵抗分割された任意の電圧をインピーダンス変換して出力する複数のバッファアンプBFF0～BFF63とかなり、最大4段階の階調電圧V63～V

(7)

11

0を生成して出力できるように構成されている。ラダー抵抗361は、使用的する液晶パネルの γ 特性を補正するような階調電圧V63～V0を発生することができるよう抵抗比が設定、もしくは γ 特性を補正するのに必要な階調電圧が取り出せるようにバッファアンプBFF0～BFF63の入力端子が接続されるノードが決定されている。

【0045】また、この実施例の階調電圧生成回路36には、コントロールレジスタ12内のビット数指定レジスタに設定された画素ビット数をデコードするデコーダ362が設けられているとともに、バッファアンプBFF0～BFF63にそれぞれ電源スイッチSW0～SW63が設けられており、上記デコーダ362の出力により指定画素ビット数に応じてバッファアンプBFF0～BFF63のうち有効化されるものを切り替えることができるよう構成されている。すなわち、例えば指定画素ビット数が6ビットのときはすべてのアンプを活性化させ、指定画素ビット数が6ビットから5ビットになった場合には64個のバッファアンプBFF0～BFF63のうち半分の32個をオフさせ、指定画素ビット数が4ビットになった場合には64個のバッファアンプBFF0～BFF63のうち3/4の48個をオフさせることができる。これにより、階調電圧生成回路36の消費電力を大幅に減らすことができる。

【0046】さらに、上記階調電圧生成回路36は、例えば画素ビット数が5ビットに減ったときはバッファアンプBFF0～BFF63を一つおきに有効化させ、画素ビット数が4ビットのときバッファアンプを3つおきに有効化させるというようにすることにより出力される電圧を間引くとともに、画素ビット数が減った場合にも最大階調電圧V63と最小階調電圧V0は出力させるように構成されている。このようにV63とV0を出力させることにより、背景色に白色または黒色のいずれを用いた場合にもコントラストが低下するおそれがなくなる。ただしこの場合には、最大階調電圧V63と最小階調電圧V0のほぼ中間では間引きの間隔が他よりも少し広くなる。

【0047】一方、階調選択回路35は、RGBそれぞれに対応して最大6ビットの画像データに基づいて前記階調電圧生成回路36からの階調電圧V63～V0のいずれかを選択するセレクタ351、352、353から構成されている。さらに、この実施例では、第2ラッチ回路34と階調選択回路35との間に画素データのビットの並びを入れ替えることにより、上記のように生成する階調電圧を減らすのに応じて生成されなくなった電圧を選択せないようにするためのビット変換回路391、392、393が設けられている。

【0048】このビット変換回路391～393は、1画素がRGBそれぞれ6ビットで構成されている場合にはラッチ回路34のデータをそのまま伝達し、1画素が

12

RGBそれぞれ5ビット（例えばB5、B4、B3、B2、B1）で構成されている場合には、無効である最下位ビットB0に最上位ビットB5を入れてB5、B4、B3、B2、B1、B5なるデータに変換する。

【0049】これにより、最大電圧V63と最小電圧V0を出力しつつオフ状態になったバッファアンプの出力を選択させないようにすることができる。なお、本実施例では最大階調電圧V63と最小階調電圧V0を出力させることによって、V63とV0の中間で間引きの間隔が他よりも少し広くなっているが、V63とV0の中間の階調電圧を間引かずに残しつつこの電圧が選択されるようにビット変換回路39を構成するようにしてもよい。

【0050】また、本実施例では1画素がRGBそれぞれ5ビットで構成されている場合のビットの入れ替え方法を説明したが、1画素がRGBそれぞれ4ビットや3ビットで構成されている場合にも同様の考え方で、階調電圧V63～V0の中から所定の間隔でとびとびに電圧を選択するとともに、最大階調電圧V63と最小階調電圧V0は出力させるようにRGBコードのビット入れ替えを行うよい。

【0051】また、ラダー抵抗361とバッファアンプBFF0～BFF63との間にラダー抵抗361が抵抗分割された電圧を選択するセレクタを、またコントロールレジスタ12内には液晶パネルの γ 特性を設定するためのレジスタを設け、該レジスタの設定値に応じて各セレクタを切り替えて所望のレベルの電圧を出力させることにより、使用的液晶パネルに応じてその γ 特性を補正するような階調電圧を出力できるように構成しても良い。

【0052】さらに、実施例では階調電圧生成回路36で64段階の階調電圧V63～V0を生成しているが、64段階の階調電圧を生成する代わりに32段階の階調電圧V31～V0を生成させ、生成された32段階の階調電圧V31～V0を用いて階調選択回路35においていずれか隣接する2つの電圧（例えばV21とV22）を例えば2フレームのうち、1フレーム目にV21、2フレーム目にV22と交互に表示させることで、実効的に中間の電圧（V21+V22）/2が液晶に印加されることにより、実質的に64段階の階調表示を行うことも可能である。

【0053】次に上記実施例の液晶コントローラドライバを応用したシステムについて説明する。図10には、上記実施例の液晶コントローラドライバを採用した携帯電話システムの回路構成の一例を示す。同図において、100は前述の液晶コントローラドライバ、110は無線信号の送受信と無線信号およびベースバンド信号間の変換とを行う高周波用RFユニット、115は音声信号や送受信信号に係る信号処理やシステム全体の制御等を行なうシステム制御装置としてのベースバンドプロセッ

(8)

13

サ、116はMPEG方式等に従った動画処理等のマルチメディア処理機能や解像度調整機能、ジャバ高速処理機能等を有するアプリケーションプロセッサ、117は着信音出力や受話音声の信号処理を行う音声処理ユニット、118は住所録データなどユーザの設定データが格納される不揮発性メモリ、119は液晶パネルの1画面分の静止画データを格納するフレームバッファとして使用されたり動画再生時の表示データのバッファメモリなどとして使用されるSRAM (Static Random Access Memory) で、これらの回路はプリント配線基板などからなるシステムボード150に搭載される。

【0054】ベースバンドプロセッサ115は、自己宛ての受信データを識別して音声データを取り出したり送信データを無線送信用のフォーマットに変換したりするDSP (Digital Signal Processor) 121、ユーザの操作内容に基づくシステム制御や送受信データのデータ処理および表示制御などを行うMCU (マイクロコントローラユニット) 120などからなる。アプリケーションプロセッサ116は、システム全体の性能に合わせて搭載されることがあるLSIであり、MPEG (Moving Picture Experts Group) データの符号化・復号処理を行うコーデック回路123や、ジャバ言語の処理回路などからなる。また、これを省略したシステムも可能である。140は液晶コントローラドライバ100によって表示駆動されるカラー液晶パネルであり、液晶コントローラドライバ100として前記実施例の液晶コントローラドライバを使用したシステムでは、液晶パネル140として1画面の表示データ量が液晶コントローラドライバ内蔵の表示RAM20の容量よりも大きいサイズのものを使用して全画面表示を行なわせるようにすることができる。

【0055】なお、液晶コントローラドライバ100と高周波用RFユニット110とベースバンドプロセッサ115とアプリケーションプロセッサ116とメモリ118およびSRAM119は、ボード上に形成されたシステムバスS-BUSにより互いにデータ転送可能に接続される。前記実施例の液晶コントローラドライバを使用したシステムでは、あまり表示が変化しない画像に関してはベースバンドプロセッサ115が液晶コントローラドライバ100内の表示RAM20に画像データを書き込んでおくことにより、従来のように毎回メモリ119から画像データを読み出して液晶コントローラドライバ100へ転送しなくても表示を行なわせることが可能であり、これによってベースバンドプロセッサ115の負担を軽減することができる。

【0056】また、前記実施例の液晶コントローラドライバを使用したこの携帯電話システムは、液晶パネル140に通話相手の電話番号や名前などの固定表示の他、受信した動画データをデコーダ回路123で復号して一旦SRAM119に蓄えた後、表示タイミングに合わせ

(8)

14

てベースバンドプロセッサ115が該復号データを液晶コントローラドライバ100に送ることで、内蔵の表示RAM20を介さない直接書き込み表示により動画再生が可能である。

【0057】図11には、図10の携帯電話システムにおける液晶パネル140への表示画像の例を示す。上記携帯電話システムによれば、図11 (a) に示すように、上記直接書き込み表示による動画表示V1と、表示RAM20の表示データに基づく固定表示V2、V3とを混在して表示出力することが出来る。また、固定表示V2、V3の位置もベースバンドプロセッサ115によるアロケーションレジスタ13の設定値により、図11 (b) に示すように適宜の位置に変化させることが出来る。

【0058】このように、表示RAM20の表示データに基づく固定表示方式を、電源マーク、アンテナマークおよび日時情報の表示など、変化の少ない表示に用いる一方、直接書き込みの表示方式を動画再生など頻繁に変化する表示に用いることで、変化の少ない表示データについては同じ表示データを何度も液晶コントローラドライバに転送する処理が省けるとともに、頻繁に変化する表示データについては表示RAM20への迂回が省けるなど、表示内容に適した処理方式の使い分けが可能であり、この表示内容に適した処理により消費電力の低減を図ることが出来る。

【0059】以上、内蔵RAMのデータと外部からの直接データを選択して表示させる方法を説明してきたが、この方式を利用した応用例として透過表示の方法を図12に示す。透過表示機能とは指定した色をパネル上に表示させたり表示させないようにする機能をいう。構成として、色情報を保持するレジスタ (透過用レジスタ165) と、外部から入力されるデータを保持するラッチ回路 (ライトデータラッチ11) と、上記レジスタの出力とラッチ回路の出力を比較する回路 (コンペア回路166) とを有する。コンペア回路166の出力により、パネルに表示される色の種類が制御される。色情報は赤R・緑G・青Bの成分に分けて各数ビットのデータとして保持される。

【0060】図12 (a) は、ライトデータラッチ11のデータがコンペア回路166を経由せず、直接データセレクタ31に出力されるモードでの状態を示す。図12 (b) は、ライトデータラッチ11のデータがコンペア回路166を経由し、色情報を保持したレジスタ165との比較により透過制御回路167で特定の色が出力されない (透過される) モードの状態を示す。図12 (a) と (b) のモードはチップ外からの制御信号により切り替えるか、あるいは色情報レジスタの値により切り替える構成としてもよい。

【0061】図12 (a) においては (透過表示を行わないモードにおいて) は、ライトデータラッチ11の出

(9)

15

力はコンペア回路166を経由することなく、データセレクタ31に直接出力され、内部RAM20の出力データと重ねてパネル140に表示されるデータセレクタ31の出力タイミングはアクセス制御回路24により制御される。図12 (b) では、出力させない任意の表示色

(白) が透過用レジスタ165に設定されている。透過用レジスタ165の出力とライトデータラッチ11の出力はコンペア回路166に入力される。

【0062】入力された出力の値はコンペア回路166により比較され、一致・不一致の結果が透過制御回路167に出力される。この透過制御回路167により指定色(例えば白)が透過される(出力されない)ことを示す信号が生成され、その結果がアクセス制御回路24に送られる。パネル140に表示されるデータセレクタ31の出力タイミングはこのアクセス制御回路24により制御され、データセレクタ31で内部RAM20からの読み出しデータと重ねられる。これにより、レジスタ165に入力された色情報がパネル上では透過して、背景の青データがパネル上に写る。尚、透過用レジスタ165に変えて透過させたくない色の情報を非透過用レジスタに設定し、ライトデータラッチ11の出力と一致した色のみを出力させる方法を用いてもよい。比較する対象を減らす構成とした方が有利となる。

【0063】以上のように、図12 (b) のように直接書き込みデータで矩形領域にある特定の図形(図では円)を、切り抜いてパネル140に表示させるようなことができる。

【0064】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、実施例では表示RAM(表示メモリ)20をマーク表示や日時表示など変化の少ない表示データを格納するものとして説明したが、例えば、表示メモリを背景色など同一色で塗りつぶす部分の表示データ(色データ)のみ格納して、該表示メモリのデータにより背景表示を行い、その他の部分の表示を表示メモリを介さない直接書き込みによる表示とするように構成しても良い。

【0065】また、表示データを入力インターフェースから表示メモリへ送るか表示メモリを介さずに出力ドライバ側へ送るかを選択する手段としてセレクタ15を示したが、例えば表示RAM20の書き込みコマンドのオン/オフとデータセレクタ31の切り換えにより上記選択手段としての機能を実現できるなど、その構成は種々に変形可能である。また、入力インターフェースに表示データの入力ポートを2つ設け、一方を表示メモリ側、他方を表示メモリを介さずに出力ドライバ側に接続する構成としても良い。

【0066】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である携帯電

16

話システムの液晶コントローラドライバについて説明したがこの発明はそれに限定されるものでなく、小型携帯型の電子機器の表示パネルを駆動する表示駆動制御装置に広く利用することができる。

【0067】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。すなわち、本発明に従うと、表示パネルの表示サイズや色数が増加しても、表示メモリの容量を適宜小さくすることが出来るので、それにより、チップサイズやコストの削減ならびに消費電力の低減が図れるという効果がある。この効果は特に小型携帯型の電子機器に採用する場合に有用である。

【0068】また、変化の少ない表示と動画のように頻繁に変化する表示との両方が混在された表示を行う場合に、表示メモリを介した表示データの転送方式と、表示メモリを介さない転送方式の2種類の方式を表示内容に応じて使い分けることが可能であるので、それにより無駄な転送処理が省けて消費電力の低減を図れるという効果がある。また、上記効果に付随して透過表示を実現することが可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例の液晶コントローラドライバの概略構成を示すブロック図である。

【図2】実施例の液晶コントローラドライバの表示メモリの容量と液晶パネルの表示領域の関係を説明する図である。

【図3】表示メモリのデータに基づく固定表示と表示メモリを介さない直接書き込み表示とが混合された表示例を示す図である。

【図4】表示メモリのデータに基づく固定表示と表示メモリを介さない直接書き込み表示とが混合された場合の表示動作を示す図である。

【図5】図3の水平期間(A)における表示データの転送動作を説明するタイムチャートである。

【図6】図3の水平期間(B)における表示データの転送動作を説明するタイムチャートである。

【図7】表示メモリのその他の使用例を説明する図である。

【図8】1画素の階調数を変えた場合の表示メモリの具体的な使用例を示す図である。

【図9】表示メモリから第1ラッチ回路への表示データの転送方式について表示メモリのアレイ構成と画素の階調数とを変えた場合のそれぞれの例を説明する図である。

【図10】実施例の液晶コントローラドライバを採用した携帯電話システムの構成例を示すブロック図である。

【図11】図10の携帯電話システムにおける表示例を示す画像図である。

【図12】透過制御を可能とする液晶コントローラド

(10)

17

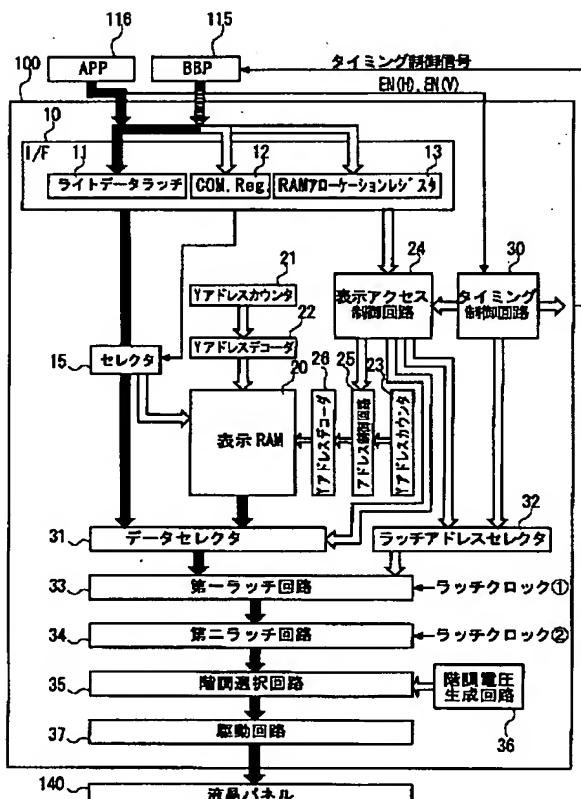
イバの主要構成とその動作例を説明する図である。

【図13】階調電圧生成回路の構成例を示すブロック図である。

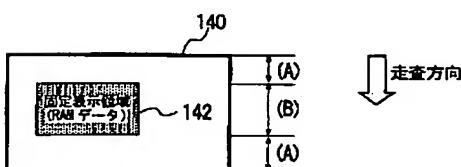
【符号の説明】

1 0	入力インターフェース
1 3	アロケーションレジスタ
1 5	セレクタ
2 0	表示RAM (表示メモリ)
2 3	Yアドレスカウンタ
2 4	表示アクセス制御回路
2 5	アドレス制御回路
2 6	Yアドレスデコーダ
3 0	タイミング制御回路
3 1	データセレクタ

【図1】



【図3】



18

ラッチアドレスセレクタ

第1ラッチ回路

第2ラッチ回路

階調電圧選択回路

階調電圧生成回路

駆動回路

高周波用RFユニット

BBP (ベースバンドプロセッサ)

APP (アプリケーションプロセッサ)

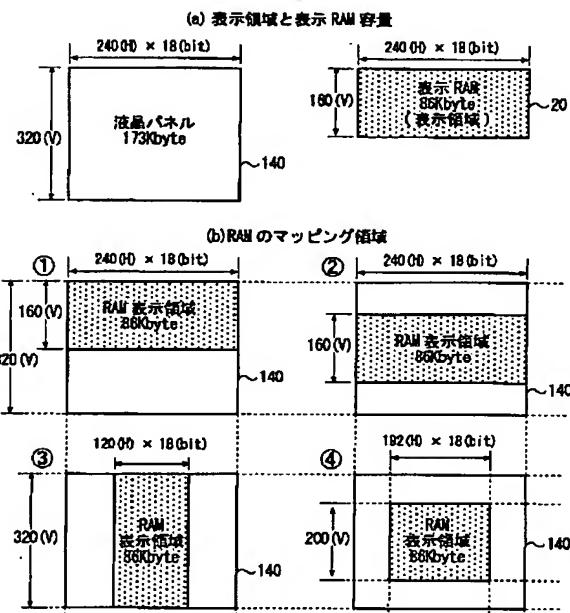
音声処理ユニット

MCU (マイクロコントローラユニット)

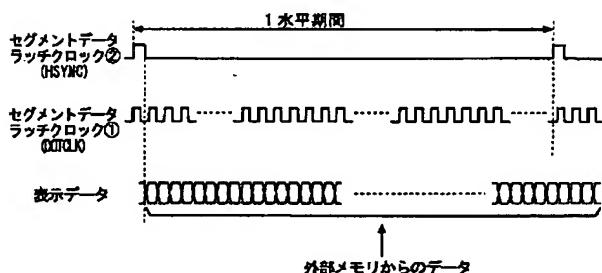
液晶パネル

BFF0~BFF63 バッファアンプ

【図2】

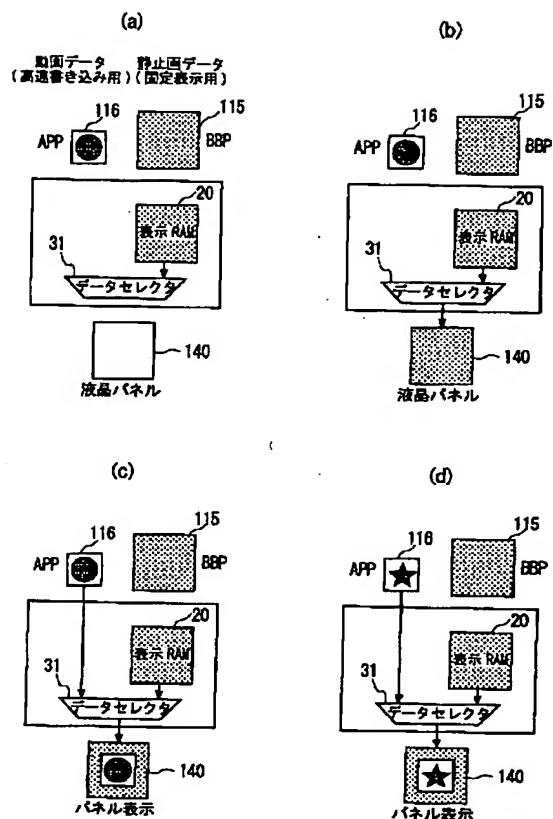


【図5】

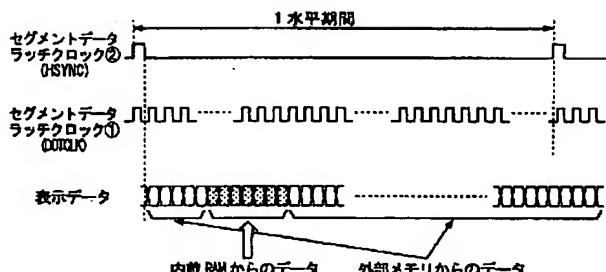


(11)

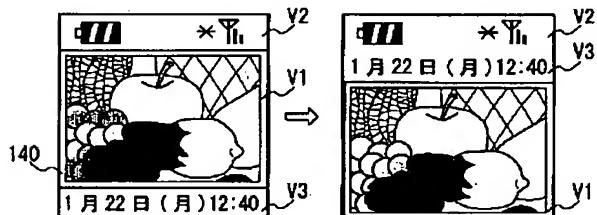
【図4】



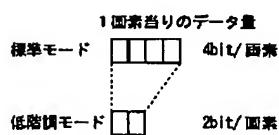
【図6】



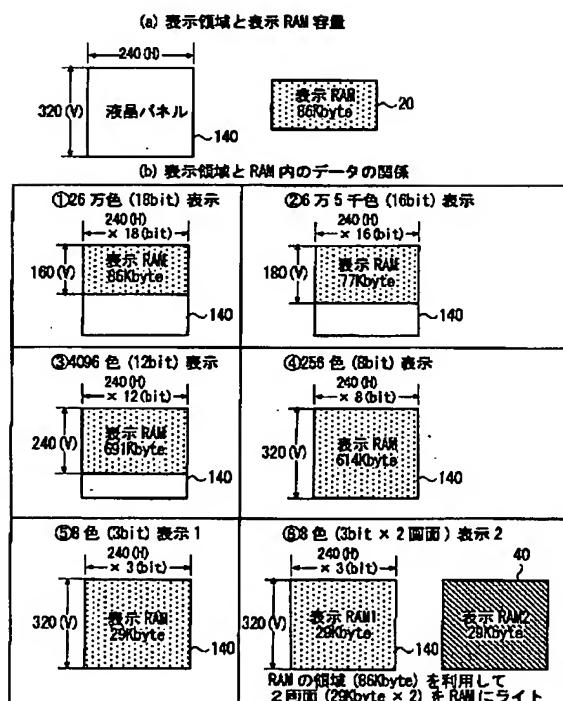
【図11】



【図7】

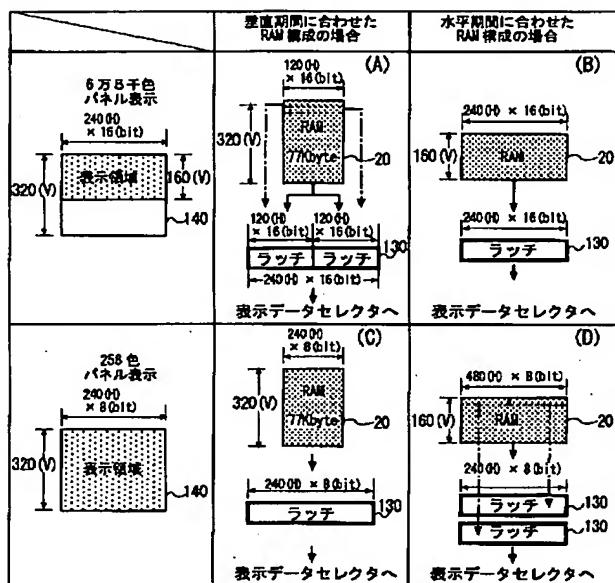


【図8】

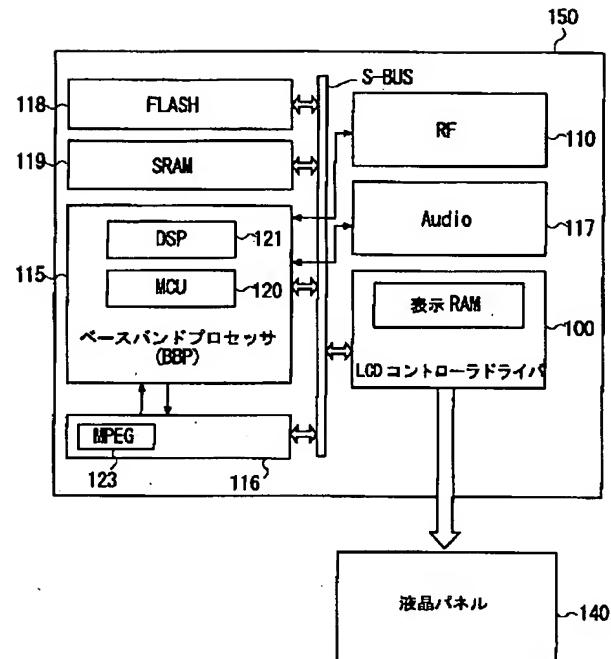


(12)

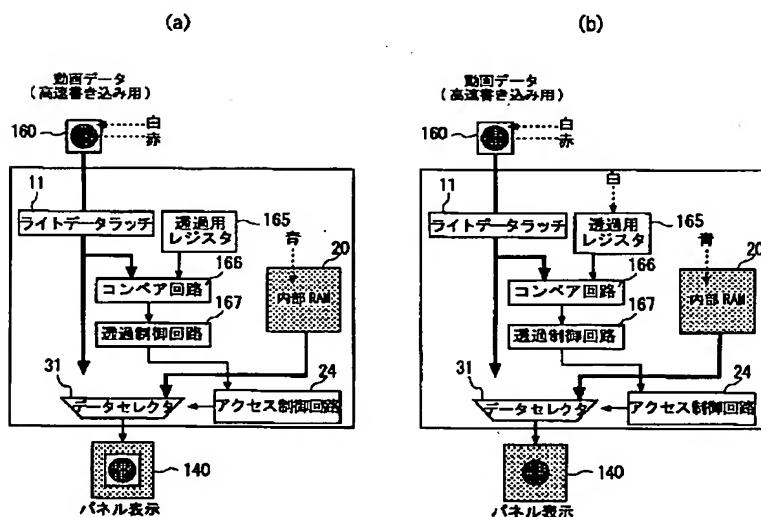
【図9】



【図10】

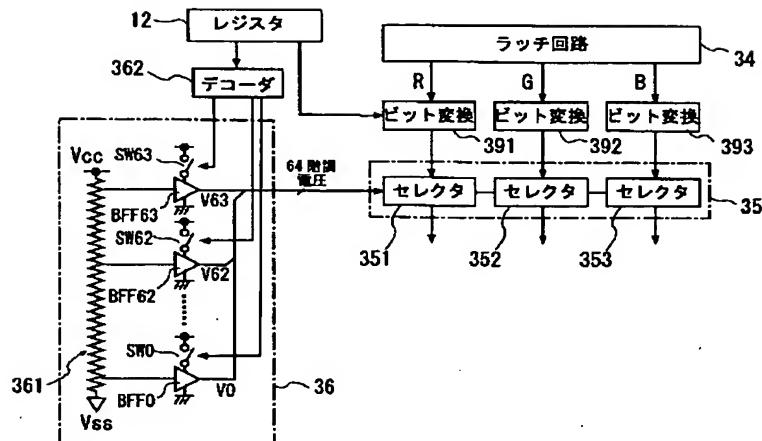


【図12】



(13)

【図13】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 B 6 2 3 F 6 2 3 G
	6 3 1		6 3 1 B 6 3 1 R
	6 4 1		6 4 1 C 6 4 1 P
	6 5 0		6 5 0 H 6 5 0 M
	6 6 0		6 6 0 E
5/00		5/04	
5/04		5/38	
5/36		5/00	5 5 5 R
5/38		5/36	5 3 0 E
5/393			5 3 0 F
5/395			5 2 0 A

(72) 発明者 谷 邦彦

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 坂巻 五郎

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(72) 発明者 横田 善和

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(14)

Fターム(参考) 2H093 NA06 NA51 NA61 NB07 NB11
NC03 NC09 NC13 NC15 NC16
NC26 NC27 NC28 ND39 ND54
5C006 AA02 AA16 AA22 AF02 AF03
AF04 AF06 AF26 AF27 AF34
AF38 AF45 AF69 AF72 AF73
AF83 AF85 BB11 BC12 BC16
BF02 BF04 BF05 BF09 BF14
BF15 BF22 BF24 BF25 BF43
FA05 FA06 FA16 FA44 FA47
FA56
5C080 AA10 BB05 CC03 DD22 DD26
EE01 EE19 EE22 EE29 EE30
FF03 FF09 GG08 GG10 GG11
GG14 GG15 GG17 JJ01 JJ02
JJ03 JJ04 KK07
5C082 AA21 BA03 BA12 BA27 BA34
BA35 BA36 BA41 BB16 BD02
CA12 CA52 CA55 CB05 DA26
DA54 DA55 DA59 DA86 EA14
MM04 MM05